

DIALOG(R)File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

05915192 **Image available**
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 10-198292 [JP 10198292 A]

PUBLISHED: July 31, 1998 (19980731)

INVENTOR(s): KOYAMA JUN

OTANI HISASHI

OGATA YASUSHI

YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 08-358956 [JP 96358956]

FILED: December 30, 1996 (19961230)

ABSTRACT

PROBLEM TO BE SOLVED: To lessen the dulling of transmitted signal waveforms

by lowering the resistance of wirings on which high frequencies are impressed and have lengths from several cm to several tens cm in a semiconductor device having circuits composed of thin-film transistors(TFTs) having active layers formed by utilizing crystalline silicon films on a substrate having an insulation surface.

SOLUTION: The wirings 111 on which the high frequencies are impressed are electrically connected in parallel with auxiliary wirings 106 by contact holes formed in a plurality along the line direction of the wirings 111 via interlayer insulating films. The formation of the auxiliary wirings 106 is executed by the same stage as the stage for forming electrodes 105 constituting the TFTs, by which the electric resistance of the wirings is effectively reduced and the dulling of the waveforms at the time of the impression of the high-frequency signals is lessened without increasing the number of stages.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平10-198292

(43)公開日 平成10年(1998)7月31日

(51)IntCl. ⁸			識別記号			FI		
G 0 9 F	9/30		3 3 0			G 0 9 F	9/30	3 3 0 Z
G 0 2 F	1/133		5 5 0			G 0 2 F	1/133	5 5 0
	1/1345						1/1345	
	1/136		5 0 0				1/136	5 0 0
H 0 1 L	29/786					H 0 1 L	29/78	6 1 2 C
審査請求 未請求 請求項の数4 FD (全 13 頁)								

(21)出願番号 特願平8-358956

(22)出願日 平成8年(1996)12月30日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 尾形 靖

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

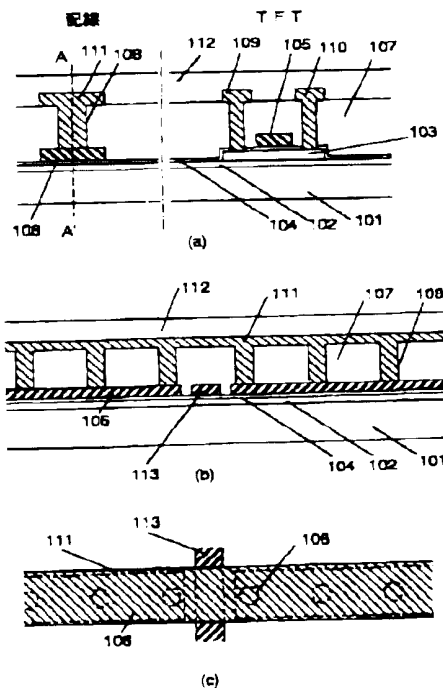
最終頁に続く

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】 絶縁表面を有する基板上に、結晶性珪素膜を利用した活性層を有する薄膜トランジスタで構成される回路を有する半導体装置において、高い周波数が印加され、数cm～数10cmの長さを有する配線の抵抗を低減し、伝送される信号波形のなまりを低減する。

【解決手段】 高周波が印加される配線111は、層間絶縁膜107を介して、配線111の線方向にそって複数設けられたコンタクトホールにより補助配線106と電氣的に並列接続している。補助配線106の形成を、薄膜トランジスタを構成する電極105の形成と同一工程で行うことで、工程数の増加なく、効果的に配線の電気抵抗を低減でき、高周波信号印加時の波形のなまりを低減できる。



【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に、結晶性珪素膜である活性層を有する薄膜トランジスタを利用した回路が設けられた半導体装置において、

前記回路中に設けられた配線及び／または前記回路に接続された配線のうち、少なくとも1つの配線の少なくとも1部は、層間絶縁膜を介して設けられた補助配線と電気的に並列接続して構成されていることを特徴とする半導体装置。

【請求項2】請求項1において、配線には高周波が印加されることを特徴とする半導体装置。

【請求項3】請求項1において、回路は周辺回路一体型のアクティブマトリクス型液晶表示装置の周辺回路を構成するものであることを特徴とする半導体装置。

【請求項4】絶縁表面を有する基板上に結晶性珪素膜である活性層と、層間絶縁膜によって互いに絶縁された複数の電極を有する薄膜トランジスタを作製するに際し、前記複数の電極のうちの1つの電極を形成する工程において配線を形成し、前記複数の電極のうちの他の1つまたは複数の電極を形成する工程において、前記配線に電気的に並列に接続される補助配線を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁表面を有する基板上に薄膜トランジスタ（以下TFTという）を用いて形成された集積回路の配線構造に関する。本発明は、絶縁基板を有する基板上にTFTを用いて形成された、周辺回路一体型の液晶表示装置の配線構造に関する。

【0002】

【従来の技術】ガラス基板や石英基板上に結晶性を有する珪素膜を成膜し、その珪素膜をもって薄膜トランジスタ（以下TFTと称する）を作製する技術が知られている。

【0003】この薄膜トランジスタは、高温ポリシリコンTFTや低温ポリシリコンTFTと称されている。

【0004】高温ポリシリコンTFTは、活性層を構成する結晶性珪素膜を800℃～900℃の加熱によって得るため、耐熱性の高い基板、例えば石英基板の上に形成される。

【0005】他方低温ポリシリコンTFTは、600℃以下のプロセスを用い、でガラス等の比較的耐熱性の低い基板上に形成される。

【0006】また、高温ポリシリコンTFTは、特性のそろったTFTを基板上に集積化しやすい。また従来のICプロセスにおける各種プロセス条件や作製装置を流用できる。他方低温ポリシリコンTFTは、基板として安価で大面積化が容易なガラス基板を利用できるという特徴がある。

【0007】なお、現状の技術においては、高温ポリシリコンTFTでも、低温ポリシリコンTFTでもその特性に大きな違いはない。

【0008】すなわち、移動度で言えば、50～100 (cm^2/Vs) 程度、S値が200～400 (mV/dec) ($V_D = 1\text{V}$) 程度のものが、両者において得られている。

【0009】そして、このようなTFTを利用して、集積回路や、アクティブマトリクス回路と該回路を駆動する周辺回路とを同一基板上に形成する、いわゆる周辺回路一体型の液晶表示装置を構成する技術が研究されている。

【0010】しかし、従来の高温ポリシリコンTFTや低温ポリシリコンTFTは、単結晶シリコンウェハを利用したMOS型トランジスタの特性に比較して大きく見劣りするものである。一般的に、単結晶シリコンウェハを利用したMOS型トランジスタのS値は60～70 (mV/dec) である。

【0011】そして、低温ポリシリコンTFTにしても、高温ポリシリコンTFTにしても、移動度が低いため、TFT単体の駆動周波数は数MHz程度以下となってしまうのが現状である。

【0012】例えば、液晶表示装置の周辺回路を構成しても、表示において必要とされる数10MHz以上のクロック信号やビデオ信号を直接入力し、駆動することができない。

【0013】そのため、クロック信号やビデオ信号を伝達する配線を、複数の配線に分割し、信号の周波数を落としてTFTに供給している（分割駆動という）。例えば10MHzのクロック信号を4本の配線に分割し、各配線においては2.5MHzとし、この低い周波数で各TFTを駆動している。したがって、配線数やTFTの数が増えて設置面積が増加する等の問題が発生している。

【0014】これに対し、本発明者らの研究により、結晶性珪素膜を用いたTFTでありながら、単結晶シリコンウェハを用いたMOS型トランジスタに匹敵する性能を有するTFTが開発されている。

【0015】このTFTは活性層として、所定方向、例えばソース・ドレイン方向に連続性を有する結晶構造を有し、かつ前記所定方向に延在した結晶粒界を有した結晶性珪素膜を用いている。

【0016】この結晶性珪素膜は、非晶質珪素膜に結晶性を助長する金属元素、例えばニッケルを微量導入し、500℃～630℃、例えば600℃の温度で加熱して横成長させ、その後熱酸化膜を形成することによって得られる。

【0017】このTFTは、S値が100 (mV/dec) 以下で、移動度が200 (cm^2/Vs) 以上というような極めて優れた特性を有する。そして単体で数十MHz～数100MHz以上の周波数で駆動することができる。この

ようなTFTを利用することで、大面積の基板上に、高速駆動が可能なTFTを集積化して形成することがでる。

【0018】その結果、極めて優れた性能の回路が得られるだけでなく、駆動に必要な薄膜トランジスタや配線の数を、従来に比して大幅に低減でき、装置の小型化、高集積化に大きく寄与することができる。

【0019】

【発明が解決しようとする課題】しかし、周辺回路一体型のアクティブマトリクス型液晶表示装置のような、数 $\text{cm}^2 \sim$ 数 10cm^2 といった大面積にわたって、TFTで集積回路を構成すると、当該集積回路を数 $10\text{MHz} \sim$ 数 100MHz 以上といった高い周波数にて駆動した場合、配線によって伝送される高周波信号の波形の「なまり」が極めて大きな問題となってくる。

【0020】ここで、液晶表示装置の周辺回路を例にあげて説明する。図5に、周辺回路一体型のアクティブマトリクス型液晶表示装置の上面図を示す。

【0021】図5において、基板901に対向して図示しない液晶を介して、内側に対向電極（図示せず）を有する対向基板902が設けられている。

【0022】基板901上にデータ線（ソース線）駆動用周辺回路903、走査線（ゲート線）駆動用周辺回路904、各画素に画素電極と該電極に接続されたスイッチング用の薄膜トランジスタを有して設けられたアクティブマトリクス表示部905が設けられている。

【0023】そして、液晶表示装置へ信号を供給するために外部回路から延びるフラットケーブル906が、基板901の端部にて周辺配線907に電気的に接続されている。そして周辺配線907は、周辺回路903、904内の配線908、909に接続されている。

【0024】周辺配線907や、周辺回路内の配線908、909は、数 $10\mu\text{m} \sim$ 数 $100\mu\text{m}$ 程度の線幅及び間隔で、平行または概略平行に配置された複数の配線である。

【0025】これらの配線は、周辺回路903、904や表示部905のアクティブマトリクス回路の薄膜トランジスタを形成する工程において同時に形成され、導電性材料、例えばアルミニウムの薄膜で構成されている。

【0026】そしてこれらの配線の中には、極めて高い周波数、例えば 10MHz 以上の信号を伝送するものが存在する。映像信号を伝達するビデオ信号線や、クロック信号を供給するクロック信号線はその代表的なものである。

【0027】一般にクロック周波数は、VGA（ $640 \times 480 \times 3$ （RGBの三色））で 12.5MHz 程度となり、またビデオ信号もクロック信号に準じて画像の解像度が高くなるほど高い周波数となる。

【0028】特に、周辺回路一体型の液晶表示装置では、数 $\text{cm}^2 \sim$ 数 10cm^2 の大きさを有する表示部9

05を駆動する周辺回路903、904は、通常、表示部の各辺に沿って設けられるため、辺に沿って数 $\text{cm} \sim$ 数 10cm の長さを有する。

【0029】そして、周辺回路903、904の何れの回路においても、回路の端から端までを貫いて設けられる配線を有する。クロック信号線やビデオ信号線もそのような配線である。したがってこれらの配線は、周辺回路の内部において、数 $\text{cm} \sim$ 数 10cm の長さを有する。

【0030】配線がこのような長さを有すると、例えばアルミニウム等の電気伝導度の高い材料で配線を構成したとしても、各配線の電気抵抗は非常に大きくなる。

【0031】また、フラットケーブル906から周辺回路への信号の伝送を行うための周辺配線907も、線幅数 $10\mu\text{m} \sim$ 数 $100\mu\text{m}$ で長さが数 cm から場合によっては数 10cm 程度となる。

【0032】そのため、周辺配線907の長さ、周辺回路内の配線908、909の長さを考えると、従来のICチップのようなスケールでは考えられないような、極めて長い配線によって信号が伝送されることになる。

【0033】他方、平行に配置された配線においては、数 $10\mu\text{m} \sim$ 数 $100\mu\text{m}$ 程度しか離れていないため、高周波が印加された場合、容量結合が生じやすい。

【0034】さらに、液晶表示装置の場合、対向基板907全面に設けられた対向電極（図示せず）が存在する。周辺回路903、904の保護や作製工程の簡略化という観点から、表示部905のみならず周辺回路903、904、周辺配線907をも対向基板と対向する面に配置することが多い。

【0035】したがって、周辺配線907、周辺回路内の配線908、909に対向して対向電極が存在することになり、これらの配線と対向電極との間で容量結合が生じてしまう。

【0036】その結果、配線同士や、配線と対向電極（液晶を介して対向して設けられた基板の内側の電極）との間の容量と、各配線の高い電気抵抗により、伝送信号波形の劣化、いわゆる「なまり」が発生する。

【0037】つまり、配線により伝送される信号の波形は、入力段階では良好な形状（例えば矩形）を有していても、配線の終端に近づくほどなまりが生じて、波形の立ち上がりが遅れたり、波形が乱れたりしてしまう。

【0038】信号波形のなまりが大きくなると、回路の動作タイミングが遅れたり、誤った映像情報が画素に伝達されてしまい、誤動作や画像乱れを生じてしまう。

【0039】この問題は、液晶表示装置においては、表示部の大きさが大きくなるほど、また表示解像度を高めて駆動周波数が高くなるほど重要な問題となる。

【0040】特に周辺回路の中でも、データ線（ソース線）を駆動する回路903においては、極めて長い配線に、数 $10\text{MHz} \sim$ 数 100MHz といった高周波信号

が印加されるため、「なまり」の影響が大きく、深刻な問題であった。

【0041】ちなみに、単結晶シリコンウエハーを用いたチップでなる集積回路でも、数10～数100MHzの駆動周波数で動作するものが一般的になってきているが、これは1～2cm□程度のチップ内にすべての集積回路が配置されているため、配線の長さも短く、「なまり」はこのような大面積の液晶表示装置に比べれば、さほど問題ではない。

【0042】配線間の容量を低減するためには、配線間の距離を大きくすることと、配線間の誘電率を低下させることが必要である。

【0043】しかし、配線間の距離を大きくするには、配線や該配線を用いた回路を配置するのに必要な面積が増大してしまい、結果として装置全体の大きさの増大を招く。また、配線の幅を細くすれば、配線間の距離は拡大しても電気抵抗が増大してしまい好ましくない。

【0044】また、配線と対向電極との間の距離は比較的小さい(層間絶縁膜が1～2μm、液晶層が3～8μm、合計で10μm程度)が、液晶材料で構成される層の膜厚、いわゆるセルギャップは光学的な問題から増加させることはできない。また、層間絶縁膜の厚さによって配線と対向電極との距離を調整することを試みても、容量を十分に低減できるほどの距離を増大させることは困難である。

【0045】したがって、配線間の容量を効果的に低減することは現状の技術では困難である。

【0046】また、電気抵抗については、配線の線幅を太くすることと、配線の厚みを厚くすることで低減できると考えられる。しかし配線の線幅を太くすると、隣接する配線との距離が近くなり、ショートの可能性が高くなる。また配線同士の容量も大きくなる。さらに対向電極との容量も増大してしまう。

【0047】他方、配線の厚みを厚くすると、作製工程中の加熱によりヒロックが発生しやすく、層間絶縁膜を介して交差する配線とのショートが生じやすくなるため、やはり好ましくない。

【0048】本願発明はこの問題を解決するものである。すなわち、比較的大型の絶縁表面を有する基板上に形成された薄膜トランジスタを利用した集積回路、特に周辺回路一体型の液晶表示装置における、数MHz～数10MHzまたはそれ以上の高周波数信号が印加される配線において、容量の増大をさせることなく、配線の電気抵抗を低減することを課題とする。

【0049】

【課題を解決するための手段】上記課題を解決するために、本明細書で開示する発明の一つは、絶縁表面を有する基板上に、結晶性珪素膜でなる活性層を有する薄膜トランジスタを利用した回路を有する半導体装置において、前記回路中に設けられた配線及び/または前記回路

に接続された配線のうち、少なくとも1つの配線の少なくとも1部は、層間絶縁膜を介して設けられた補助配線と電気的に並列接続して構成されていることを特徴とする。

【0050】上記構成は、配線には高周波が印加される場合に、特に効果的である。

【0051】また上記構成は、記回路が周辺回路一体型のアクティブマトリクス型液晶表示装置の周辺回路を構成するものである場合に、特に効果的である。

【0052】本明細書で開示する他の構成は、絶縁表面を有する基板上に結晶性珪素膜でなる活性層と、層間絶縁膜によって互いに絶縁された複数の電極を有する薄膜トランジスタを作製するに際し、前記複数の電極のうちの1つの電極を形成する工程において配線を形成し、前記複数の電極のうちの他の1つまたは複数の電極を形成する工程において、前記配線に電気的に並列に接続される補助配線を形成することを特徴とする。

【0053】上記構成において、複数の電極としては、例えばゲート電極と、ソース(又はドレイン)電極であるが、これに限定されるものではない。

【0054】

【発明の実施の形態】図1に、本発明を用いた半導体装置の構成例を示す。図1(a)は、配線およびTFT(薄膜トランジスタ)の縦断面図を示す。図1(a)において、基板101上に、酸化珪素膜でなる下地膜102が形成されている。その上にTFTが設けられている。

【0055】TFTは、結晶性珪素膜でなる活性層103、ゲート絶縁膜104、ゲート電極105、ソース電極109、ドレイン電極110で構成される。107、112は、層間絶縁膜であり、107にはコンタクトホール108が形成されている。

【0056】図1(a)において、配線111は、層間絶縁膜107を介して複数のコンタクトホールにより補助配線106と電気的に並列接続している。

【0057】すなわち、従来配線は配線111の1層のみで構成されているが、図1の構成においては、ゲート電極105と同一層に補助電極を設けている。そして、層間絶縁膜107に、配線111の線方向にそって複数設けられたコンタクトホール108により、配線111と補助配線106を電気的に並列に接続し、2層構造としている。もちろん、さらに他の層間絶縁膜、例えば113を介して配線111に電気的に並列に接続される補助配線を設けてもよい。

【0058】図1で示す補助配線106は、ゲート電極105と同時に形成することが可能である。すなわち、ゲート電極105となる導電性材料の薄膜をパターニングする際に、補助配線も同時にパターニングして得ることができる。したがって、図1の構成においては、ゲート電極105と補助配線106は同一材料で構成され

る。

【0059】図1(b)は、図1(a)のA-A'断面図である。図1(b)において示すように、配線112と補助配線106は複数箇所において電氣的に接触しており、電氣的に並列に接続されている。

【0060】配線112と補助配線106との接続を構成するコンタクトホールは、その数が多いほど配線112と補助配線106との電氣的接続が良好となり、また接触抵抗が低減し、ひいては配線112と補助配線106とでなす電気抵抗を更に低減できる。

【0061】配線112と補助配線106との接点における接触性は高いほど、全体での電気抵抗がより低減できるため好ましい。補助配線106をアルミニウムで構成した場合、良好なコンタクトを得るために配線112をチタン膜とその上にアルミニウム膜を積層する構成にすることは有効である。

【0062】図1(b)において、113は、図1(c)に示すように、配線111の下側を交差する配線である。このような構造は、例えば周辺回路一体型の液晶表示装置の場合、周辺回路のクロック信号線と、該クロック信号線に接続される、周辺回路を構成する薄膜トランジスタのゲート配線などにおいて用いられる。

【0063】配線111の電気抵抗を低減する補助配線106と同層に、前記配線と交差する配線113が配置される場合、図1(c)のように交差する部分及びその近傍の補助配線106を分断された構造としその間に交差する配線を配置すれば電気抵抗は十分に低減でき、かつ補助配線を形成しても工程は従来と変わらない。

【0064】上記のような本発明構成により、配線の電気抵抗を大幅に低減できる。しかも、配線に要する面積、線幅は従来と同じにできるため、隣合う配線間の容量は従来とほとんど変わらない。また、周辺回路一体型の液晶表示装置においては、配線と対向電極との容量が増加することもない。

【0065】その結果数MHz、例えば1MHz以上の高周波信号が印加される1cm以上、より好ましくは3cm以上(上限はパネルの大きさに従う)の配線において波形のなまりを効果的に低減できる。

【0066】その結果、薄膜トランジスタで構成された回路において、回路の誤動作の回避、動作タイミングのマーシンの低減、正確な信号の伝送を実現できる。

【0067】また補助電極の作製は、従来走査線(ケイト線)やデータ線(ソース線)を作製していた工程において、マスクパターンを変更するだけで実現できる。その結果、作製工程は全く増加させずに、配線の低抵抗化を実現できる。

【0068】また、本発明の配線構造を有する半導体装置は、薄膜トランジスタがトップゲート型、ボトムゲート型の何れの構成であっても採用できる。

【0069】また、本発明の配線構造を周辺回路内の配

線すべてにおいて実施すると、配線が縦横に細かく入り組んでいる箇所などは、かえってショートを誘発してしまうことがある。

【0070】しかし本発明の配線構造は、高周波が印加される配線の一部分のみに適用した場合であっても電気抵抗の低減効果は得られる。したがって、当該配線全部ではなく、必要箇所のみ補助配線を設け、並列接続を実現すればよい。

【0071】この際、同種の高周波信号(例えばクロック信号とその反転信号、分割されたクロック信号、ビデオ信号等)が印加される複数の配線においては、各配線の抵抗値が概略同一となるようにすることは重要である。これにより、信号波形のなまり具合を各配線において揃えることができる。

【0072】また、例えば図5における周辺配線907部分に設けられた配線のみ、配線の全長にわたって補助配線を設け、周辺回路の配線908、909は補助配線を設けない構成としてもよい。周辺配線907は、周辺回路に入力されるまで交差する配線がなく、補助配線を分断することなく構成できるため、他の配線に補助配線を形成する場合に比較して、電気抵抗を効果的に低減できる。

【0073】また、補助配線の形成を、走査線やデータ線等の他の配線と同一層、同一工程ではなく、工程数は増加するが、必要に応じて補助配線のみを形成するための層を設け、さうなる電気抵抗の低減を図ってもよいことは言うまでもない。

【0074】本発明において、配線と補助配線は、互いに層間絶縁膜を介して設けられていれば、どの層に設けるかということは任意である。

【0075】補助配線の線幅を、該補助配線に接続される配線と概略同じ程度かそれ以下とすると、特に液晶表示装置においては補助配線の存在による対向電極との容量の増加を防げるため、好ましい。

【0076】

【実施例】

【実施例1】本実施例では、絶縁表面を有する基板上に、高周波駆動可能な薄膜トランジスタを形成する工程において、電気抵抗を低減した構造の配線を同時に形成する例を示す。ここでは、アクティブマトリクス型の液晶表示装置の回路側基板を作製する例を示す。

【0077】図2～図4に本実施例の作製工程を示す。図2～図4では、作製工程の断面を示し、各図において、左側が電気抵抗を低減した構造の配線が形成される領域(配線部)、中央が周辺回路を構成する相補構成の薄膜トランジスタが形成される領域(周辺回路部)、右側がアクティブマトリクス回路を構成する薄膜トランジスタが形成される領域(画素部)を示す。

【0078】本実施例で作製するパネルを用いて形成される液晶表示装置は、アクティブマトリクス回路となる

画素部が横1.0cmのVGA(640(×3色)×480画素)構成を有する。

【0079】本実施例において、電気抵抗を低減した構造の配線は、周辺回路中のクロック信号線(入力されたクロック信号を周辺回路全体に伝達する線)を構成する(図5の配線908に相当)。勿論、他の高周波が印加される配線、例えばビデオ信号線等に適用してもよい。

【0080】また、この構造を周辺回路全ての配線に適用してもよいが、この場合、補助配線が設けられる層に、補助配線が接続される配線と交差する配線が多く設けられている場合、補助配線の分断箇所も多くなる。その結果、配線の電気抵抗の低減効果が十分に得られなくなったり、配線毎の信号のなまりの程度が揃わなくて不都合が生じる場合があるので注意が必要である。

【0081】まず、石英基板201上に下地膜202として酸化珪素膜を3000Åの厚さに成膜する。なお、石英基板の表面の平滑性が良く、また洗浄を十分にするのであれば、この下地膜202は特に必要ない。

【0082】なお基板としては石英基板を利用することが現状においては好ましい選択となるが、加熱処理温度に耐える基板であれば、石英に限定されるものではない。

【0083】次に結晶性珪素膜の出発膜となる非晶質珪素膜203を減圧熱CVD法でもって、500Åの厚さに成膜する。

【0084】次に図示しない酸化珪素膜を1500Åの厚さに成膜し、それをパターニングすることにより、204で示されるマスクを形成する。このマスクは205で示される領域に開口が形成されている。この開口205が形成されている領域においては、非晶質珪素膜203が露呈する。

【0085】開口205は、図面の奥行及び手前方向に長手方向を有する細長い長方形を有している。この開口205の幅は20μm以上とするのが適当である。またその長手方向の長さは必要とする長さでもって形成すればよい。

【0086】そして、結晶性を助長する金属元素としてニッケルを導入するため、重量換算で10ppmのニッケル元素を含んだ酢酸ニッケル溶液を塗布する。そして図示しないスピナーを用いてスピンドライを行い余分な溶液を除去する。ニッケル元素の導入量は、上記溶液中におけるニッケル元素の含有濃度で制御することができる。

【0087】結晶性を助長する金属元素としては、Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを利用できる。

【0088】こうして、ニッケル元素が図2(A)の点線206で示されるような状態で存在した状態が得られる。この状態では、ニッケル元素が開口205の底部に

おいて、非晶質珪素膜の一部に選択的に接して保持された状態が得られる。

【0089】なお、ニッケル元素の導入をイオン注入法を用いて行ってもよい。この場合、ニッケル元素の溶液を塗布する場合に比較して、ニッケル元素の導入位置をより精度よく制御することができる。したがって、ニッケル元素の導入領域の幅が数μmあるいはそれ以下の極めて狭い場合や、導入領域の形状が複雑な場合に特に有効である。

【0090】次に水を3%含有した極力酸素を含まない窒素雰囲気中(また酸素雰囲気中)において、600℃で、8時間の加熱処理を行う。すると図2(B)の207で示されるような基板201に平行な方向への結晶成長が進行する。

【0091】この結晶成長は、ニッケル元素が導入された開口205の領域から周囲に向かって進行する。この基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。

【0092】この結晶成長により得られる横成長した結晶性珪素膜の表面は、従来の低温ポリシリコンや高温ポリシリコンに比較して非常に平滑性の良いものが得られる。これは、結晶粒界の延在する方向が概略そろっていることに起因すると考えられる。

【0093】一般的多結晶珪素やポリシリコンと呼ばれる珪素膜は、その表面の凹凸は±100Å以上ある。しかし、本実施例で示すような横成長をさせた場合は、その表面の凹凸は±30Å以下であることが観察されている。この凹凸は、ゲイト絶縁膜との間の界面特性を悪化させるものであり、極力小さいものであることが好ましい。

【0094】上記の結晶化のために加熱処理条件においては、この横成長を100μm以上にわたって行わせることができる。こうして横成長した領域を有する珪素膜208を得る。

【0095】この結晶成長のための加熱処理は、450℃～1100℃(上限は基板の耐熱性で規制される)で行うことができる。ある程度の横成長距離を確保するのであれば、加熱処理の温度を500℃以上とすることが好ましい。しかし、それ以上に温度を上げることによる結晶成長距離や結晶性の向上はそれ程大きくない。(従って、経済性や工程の簡略化を考慮した場合、500℃～600℃で、例えば600℃程度の加熱処理で十分である)。

【0096】そしてニッケル元素を選択的に導入するための酸化珪素膜なるマスク204を除去する。

【0097】この状態においては、ニッケル元素が膜中に偏在している。特に、開口205が形成されていた領域と、207で示される結晶成長の先端部分においては、ニッケル元素が比較的高濃度に存在している。

【0098】従って、活性層の形成においては、それら

の領域を避けることが重要となる。即ち、活性層中に上記ニッケル元素が偏在した領域が存在しないようにすることが重要である。

【0099】結晶化の後にさらに、レーザー光の照射を行なってもよい。即ち、レーザー光の照射により、さらに結晶化を助長させてもよい。このレーザー光の照射は、膜中に存在するニッケル元素の固まりを分散させ、後にニッケル元素を除去し易くする効果を有している。なお、この段階でレーザー光の照射を行っても、さらに横成長が進行することはない。

【0100】レーザー光としては、紫外領域の波長を有するエキシマレーザーを利用することができる。例えば、KrFエキシマレーザー（波長248nm）やXeClエキシマレーザー（波長308nm）を利用することができる。

【0101】次にハロゲン元素を含んだ酸素雰囲気、例えばHClを3体積%含んだ酸素雰囲気中において、950℃の加熱処理を行い、熱酸化膜209を200Åの厚さに成膜する。この熱酸化膜の形成に従い、珪素膜208の膜厚は100Å程度その膜厚が減少する。即ち、珪素膜の膜厚は、400Å程度となる。（図2（C））

【0102】一般に、珪素膜の表面に形成される熱酸化膜は、表面に盛り上がる厚さと、内部に進行する酸化の距離とがほぼ同じものとなる。従って、例えば100Åの珪素膜の表面に100Åの熱酸化膜を形成すると、珪素膜の厚さは50Å目減りし、50Å厚の珪素膜とその表面に形成された100Å厚の熱酸化膜という構成となる。

【0103】上記の工程においては、熱酸化膜の形成に従い、膜中の不安定な結合状態を有する珪素元素が熱酸化膜の形成に利用される。そして、膜中の欠陥が減少し、より高い結晶性を得ることができる。

【0104】また同時に熱酸化膜の形成およびハロゲン元素、ここでは塩素の作用により膜中よりニッケル元素のゲッタリングが行われる。

【0105】当然、熱酸化膜中には、比較的高濃度にニッケル元素が取り込まれることになる。そして相対的に珪素膜208中のニッケル元素は減少する。こうして図2（C）に示す状態を得る。

【0106】熱酸化膜209を形成したら、この熱酸化膜209を除去する。こうして、ニッケル元素の含有濃度を減少させた結晶性珪素膜208を得る。

【0107】こうして得られた結晶性珪素膜は、一方向に結晶構造が延在した（この方向は結晶成長方向に一致する）構造を有している。即ち、細長い円柱状の結晶体が複数の一方向に延在した結晶粒界を介して、複数平行に並んでいるような構造を有している。

【0108】次にパターニングを行うことにより、横成長領域となる島状の領域210、211、212を形成する。この島状の領域210、211、212が後にT

FTの活性層となる。

【0109】ここでは、ソース領域とドレイン領域とを結ぶ方向と結晶成長方向とが一致または概略一致するようにパターンの位置取りを行う。こうすることで、キャリアの移動する方向と結晶格子が連続して延在する方向とを合わせることができ、結果として高い特性のTFTを得ることができる。

【0110】次に、酸化珪素膜213を1000Åの厚さにプラズマCVD法により成膜する。（図2（D））

【0111】その後、熱酸化膜301、302、303を300Åの厚さに成膜する。この熱酸化膜は、HClを0.1～10体積%、例えば3体積%含有した酸素雰囲気中において、950℃の加熱処理を行うことによって得る。

【0112】熱酸化膜301、302、303を成膜することにより、パターン（活性層となるパターン）210、211、212の膜厚は、250Åとなる。

【0113】この工程においても熱酸化膜209を成膜する場合と同様の効果を得ることができる。なお、この熱酸化膜209は、TFTのゲート絶縁膜の一部となる。

【0114】本実施例においては、最終的に得られる結晶性珪素膜である活性層210、211、212の膜厚（250Å）は、第2の熱酸化膜301、302、303の膜厚（300Å）よりも薄くなる。こうすることで、熱酸化膜の形成に従う特異な結晶構造を得るための効果を得ることができる。（図3（A））

【0115】本実施例で示すTFTにおいて、活性層を構成する結晶性珪素膜は、その最終的な膜厚を好ましくは100Å～750Å、より好ましくは150Å～450Åとする。このような膜厚とすることにより、一方向に結晶性が連続した特定の結晶構造をより顕著な形で再現性良く得ることができ。

【0116】このようにして作製された結晶性珪素膜である活性層210、211、212に最終的に残留するニッケル元素の濃度は、SIMS（2次イオン分析法）を利用した計測で現状では、 1×10^{-4} 原子個/cm³～ 5×10^{-4} 原子個/cm³となるが、低いほど好ましい。

【0117】勿論、全体的な作製プロセスの見直し、洗浄工程の徹底、装置の洗浄度の徹底、といったことを行うことにより、結晶性珪素膜中に残留するニッケル元素濃度をさらに低減することは可能である。

【0118】また、熱酸化膜の作製工程において、当該金属元素が熱酸化膜中に移動する関係から、得られた結晶性珪素膜の厚さ方向におけるニッケル元素の濃度分布に勾配または分布が発生する。

【0119】一般に、熱酸化膜が形成される界面に向かって当該金属元素の濃度が高くなる傾向が観察される。また、条件によっては、基板または下地膜に向かって、

すなわち裏面側の界面に向かって当該金属元素の濃度が高くなる傾向も観察される（この違いは、出発膜となる非晶質珪素膜の膜質に大きく左右される）。

【0120】また、熱酸化膜の形成時に雰囲気中にハロゲン元素を含有させた場合、このハロゲン元素も上記金属元素と同様な濃度分布を示すものとなる。すなわち、結晶性珪素膜の表面および／または裏面に向かって含有濃度が高くなる濃度分布を示す（濃度分布の違いは、やはり出発膜の膜質によって左右される）。

【0121】次にゲイト電極および補助配線を形成するためのアルミニウム膜をスパッタ法で4000Åの厚さに成膜する。このアルミニウム膜中には、スカンジウムを0.2重量%含有させる。

【0122】アルミニウム膜中にスカンジウムを含有させるのは、後の工程において、ヒロックやウィスカーが発生することを抑制するためである。ヒロックやウィスカーというのは、加熱の際のアルミニウムの異常成長に起因する針状あるいは刺状の突起部のことである。

【0123】ゲイト電極を形成するための材料として、アルミニウム以外にタンタル（Ta）、多量にリン（P）がドーパされた多結晶シリコン、タングステンのシリサイド（WSi）、またはリンドーパされた多結晶シリコンとタングステンのシリサイドの積層または混成した構造としてもよい。

【0124】次に窒化珪素膜を500Åの厚さに成膜する。その後、レジストマスク308、309、310、311を利用してパターンニングを施し、304、305、306、307で示されるアルミニウムパターンと、351、352、353、354で示される窒化珪素膜が形成された状態を得る。（図3（B））

【0125】ここで、レジストマスク308、309、310、311を配置した状態で陽極酸化を行う。ここでは、3%のシュウ酸水溶液を電解溶液として用いる。この電解溶液中において、アルミニウムのパターン304、305、306、307を陽極とした陽極酸化を行うことにより、316、317、318、319で示される多孔質状の陽極酸化膜が形成される。

【0126】この工程においては、上部にレジストマスク308、309、310、311及び窒化珪素膜351、352、353、354が存在する関係で、アルミニウムパターンの側面に選択的に陽極酸化膜316、317、318、319が形成される。

【0127】この陽極酸化膜は、その膜厚を数μmまで成長させることができる。ここでは、その膜厚を6000Åとする。なお、その成長距離は、陽極酸化時間によって制御することができる。

【0128】次に緻密な陽極酸化膜の形成を行う。即ち、3%の酒石酸を含んだエチレングルコール溶液を電解溶液とした陽極酸化を行う。

【0129】この工程においては、多孔質状の陽極酸化

膜316、317、318、319中に電解溶液が進入することと、各アルミニウムパターンの上面に窒化珪素膜351、352、353、354が存在している関係から、320、321、322、323で示されるように緻密な膜質を有する陽極酸化膜が、アルミニウムパターンの側面のみに選択的に形成される。

【0130】この緻密な陽極酸化膜320、321、322、323の膜厚は1000Åとする。この膜厚の制御は印加電圧によって行う。

【0131】陽極酸化膜の形成が終了したら、レジストマスク308、309、310、311を除去する。

【0132】ここで、露出した酸化珪素膜213をエッチングする。また同時に熱酸化膜301、302、303の一部をエッチングする。このエッチングはドライエッチングを利用する。こうして図3（C）に示す状態を得る。

【0133】そして酢酸と硝酸とリン酸とを混合した混酸を用いて多孔質状の陽極酸化膜316、317、318、319を除去する。さらに窒化珪素膜351、352、353、354を除去する。こうして図3（D）に示す状態を得る。

【0134】図3（D）に示すように、本実施例においては補助電極312は、ゲイト電極313、314、315と同一工程により同時に形成される。したがって、補助電極312の作製は、従来の工程においてマスクパターンの変更のみによって得られる。

【0135】本実施例においては、補助電極312の側面に緻密な陽極酸化膜320が形成されている。またその下面には、酸化珪素膜213が残存している。

【0136】図3（D）に示す状態を得たら、不純物イオンの注入を行う。ここでは、交互にレジストマスクを配置して、周辺回路部の左側、及び画素部の薄膜トランジスタにP（リン）イオンを、周辺回路部の右側の薄膜トランジスタにB（ホウ素）イオンを、プラズマドーピング法をもって行う。

【0137】この工程においては、ヘビードーパがされる331、333、335、337、339、341の領域と、ライトドーパがされる334、338、342の領域が形成される。これは、残存した酸化珪素膜325、326、327が半透過なマスクとして機能し、注入されたイオンの一部がそこで遮蔽されるからである。

【0138】そしてレーザー光（またはランプを用いた強光）の照射を行うことにより、不純物イオンが注入された領域の活性化を行う。こうして、ソース領域331、335、339、チャネル形成領域332、336、340、ドレイン領域333、337、341、低濃度不純物領域334、338、342が自己整合的に形成される。

【0139】ここで、334、338、342で示されるのが、LDD（ライトドーブドレイン）領域と称され

る領域である。(図3(D))

【0140】なお、緻密な陽極酸化膜309の膜厚を2000Å以上というように厚くした場合、その膜厚でもってチャネル形成領域332、336、340の外側にオフセットゲイト領域を形成することができる。

【0141】本実施例においてもオフセットゲイト領域は形成されているが、その寸法が小さいのでその存在による寄与が小さく、また図面が煩雑になるので図中には記載していない。

【0142】なお、緻密な膜質を有する陽極酸化膜を2000Å以上というように厚く形成するのには、200V以上の印加電圧が必要とされるので、再現性や安全性に関して、注意が必要である。

【0143】次に第1の層間絶縁膜として、まず窒化珪素膜343を2000Å、プラズマCVD法で形成する。窒化珪素膜以外に、酸化珪素膜、または窒化珪素膜と酸化珪素膜の積層膜を用いることもできる。

【0144】さらに窒化珪素膜343上に、有機樹脂膜344をスピンコート法で形成する。有機樹脂の材料としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリルを利用することができる。(図3(E))

【0145】次に、第1の層間絶縁膜343、344に対してコンタクトホールを形成を行う。次に、チタン/アルミニウム/チタンの積層膜を3000Å成膜後、パターンニングして、ソース電極402、407、ドレイン電極406、409、ソース・ドレイン電極404、ゲイト取り出し配線403、405、配線401を形成する。

【0146】配線401は、配線401の線方向にそって複数設けられたコンタクトホールにより、補助電極312と電気的に並列に接続される。配線401は、補助電極312と並列接続されることにより電気抵抗が相当程度低減される。したがって、高周波を印加しても伝送される信号波形のなまりを大幅に低減できる。

【0147】また、配線401の下側を、補助電極312と同一層に設けられたゲイト線(TFTのゲイト電極に延在する)が交差する場合、補助電極312は交差するゲイト線に対し、40μm離隔されるように分断されている(図1(b)に示す構成に相当)。

【0148】ドレイン電極409は、その一部が補助容量を形成するための電極として利用される。

【0149】こうして図4(A)に示す薄膜トランジスタと電気抵抗が低減された配線が完成する。

【0150】なお、図においては、同じ断面上にソース/ドレイン電極とゲイト取り出し配線403、405とが形成されているように記載されているが、実際には、ゲイト配線はゲイト電極313、314から延在した部分に形成される。

【0151】次に、第2の層間絶縁膜として、窒化珪素膜410を1000Åの厚さにプラズマCVD法で成膜

する。さらに、有機樹脂膜402をスピンコート法で成膜する。なお、有機樹脂材料としては、ポリイミド以外に、ポリアミド、ポリイミドアミド、アクリルを利用することができる。こうして、図4(B)に示す状態を得る。

【0152】次に有機樹脂膜402に開口を形成し、さらにチタン膜とアルミニウム膜との積層膜でもってなるブラックマトリクス(BM)412を形成する。このブラックマトリクス412は、本来の遮光膜としての機能以外に、窒化珪素膜410、ドレイン電極409とで補助容量を形成するための電極として機能する。

【0153】ブラックマトリクス412を形成したら、第3の層間絶縁膜として、有機樹脂膜414を成膜する。そして、ドレイン電極409へのコンタクトホールを形成し、ITO(酸化インジウム・スズ)でなる画素電極415を形成する。

【0154】このようにして、アクティブマトリクス型液晶表示装置の回路側の基板が作製される。この後、当該基板の上面に配向処理がなされ、同じく配向処理がなされた、ITOを全面に形成した対向基板と対向配置されてパネルを構成する。パネル内に液晶材料を注入、封止することで、装置が完成する。

【0155】本実施例に示すTFTは、その特性として従来には得られなかった極めて高いものを得ることができ。

【0156】例えば、NTFT(Nチャネル型のTFT)で、移動度が200~300(cm²/Vs)、S値が75~90(mV/dec)(V_p=1V)という高性能なものが得られる。PTFT(Pチャネル型のTFT)で120~180(cm²/Vs)、S値が75~100(mV/dec)(V_p=1V)という高性能なものを得ることができる。

【0157】特にS値は、従来の高温ポリシリコンTFT及び低温ポリシリコンTFTの値に比較して、1/2以下という驚異的に良い値である。

【0158】そして、このTFTは駆動周波数を数10MHz~数100MHzといった極めて高い周波数でも動作させることができる。例えば、駆動信号の電圧が3.3~5Vにおいて、リングオシレータレベルで1GHz、シフトレジスタレベルで100MHzの動作を行うことができる。

【0159】また、上述したような特異な結晶構造を有する結晶性珪素膜を利用した薄膜トランジスタは、その結晶構造に起因して短チャネル効果が現れにくいという特徴がある。また基板として絶縁体を利用するので基板の容量の問題がなく、高速動作に適するという特徴もある。

【0160】従来の単結晶シリコンウエハーを利用したMOS型トランジスタにおいては、スケールン規則というものがあつた。これは、所定に法則に従ってトランジスタに寸法を小さくすれば、これまた所定の法則に従

てトランジスタの性能が高くなるというものである。

【0161】しかし、近年の微細化大きく進行した状態においては、このスケーリング則に従って、トランジスタの性能を高めることが困難になってきている。

【0162】その一つに短チャネル効果を抑制するためにチャネル長を短くすればするほど、チャネルの横に不純物のドーピングをしたりする細かな工夫が必要になり、作製工程上の困難性が増大するという点を挙げることができる。

【0163】しかし、上述した特異な結晶構造を有した結晶性珪素膜を用いた場合には、必要とする特性を上記のスケーリング則に従わない方法で得ることができる。

【0164】これは、以下のような事項が要因であると考えられる。

(1) チャネルにおいてキャリアの移動する方向に柱状の結晶体の延在方向を合わせることで、短チャネル効果が抑制される。

(2) 基板に絶縁体を利用することで、容量の問題が大きく抑制される。

(3) ゲート電極にアルミニウムを利用できるので、高速動作に有利である。

【0165】(1)については、以下のように考えることができる。即ち、一つ一つに柱状の結晶構造体は、不活性な結晶粒界により仕切られているが、この結晶粒界部分では、エネルギーレベルが高いので、キャリアは結晶体の延在方向にその移動が寄生される。また同様な考え方により、ソース及びドレイン領域からのチャネル内部への空乏層の広がりも抑制される。このことが、短チャネル効果の抑制になっていると考えられる。

【0166】上述したスケーリング則に従わない具体的な例としては、以下のような例を挙げることができる。

【0167】例えば、従来にスケーリング則に従えば、ゲート絶縁膜の厚さが100Åでなければならないところ、本明細書で開示するような結晶性珪素膜を用いた場合、ゲート絶縁膜の厚さを300Åとして、同じ特性を得ることができる。その結果、耐静電気特性を高くできる。

【0168】これは、上述した(1)～(3)に示すような要因であると理解される。

【0169】また、ゲート絶縁膜の膜厚のみではなく、チャネル長に関しても従来のスケーリング則よりも緩い条件(1ランク下の条件)でもって、所定の特性を得ることができる。

【0170】これは、高速動作が可能な半導体回路を大面積にわたって低コストで作製する場合に有用なことである。

【0171】本実施例において、高い周波数が印加される長い配線401を、層間絶縁膜を介して補助配線312と電気的に並列に接続して構成したことにより、配線401の電気抵抗が飛躍的に低減し、伝送される信号波

形のなまりを大幅に低減できた。

【0172】その結果、信号線駆動用周辺回路中に設けられクロック信号線が、約10cmと極めて長いにもかかわらず、クロック周波数を12.5MHzで動作させても、全く誤動作することがなく、良好な表示を行うことができた。

【0173】〔実施例2〕本実施例は、実施例1に示す配線401、補助配線312の構成を、信号線駆動用周辺回路に接続される周辺配線(図5の907に相当)において実施した例を示す。

【0174】すなわち、従来第1の層間絶縁膜上にのみ設けられていた周辺配線において、TFTのゲート電極と同一層にて、周辺配線の下側に周辺配線にそって補助配線を形成する。

【0175】周辺配線と補助配線は、周辺配線の線方向に複数設けられたコンタクトホールによって、並列接続されている。

【0176】周辺配線は、その上層または下層に交差する配線が無い場合、配線全体にわたって補助配線を分断することなく並列接続できる。そのため、電気抵抗を低減する効果は極めて大きい。周辺配線のみ補助配線を設け、周辺回路は従来のままの1層構造のみ(すなわち補助配線を設けない)としても、高周波が印加される配線における信号波形のなまりを従来に比して大幅に低減できる。

【0177】〔実施例3〕本実施例は、実施例1の構成において、表示部であるアクティブマトリクス回路の信号線(ソース線)及び走査線(ゲート線)の双方において、補助配線を形成し、配線の電気抵抗を低減した例を示す。

【0178】ゲート線は画素部のTFTのゲート電極315が延在したものであり、ソース線は画素部のTFTのソース電極402に延在したものである。

【0179】本実施例においては、窒化珪素膜343下のゲート線に対して、有機樹脂膜344上に、ソース線、ソース電極402と同一層にゲート線の補助配線が形成され、ゲート線方向にそって複数設けられたコンタクトホールにより並列接続されている。ゲート線の補助配線は、同一層に設けられたソース線とは分断して設けられている。

【0180】他方、有機樹脂膜344上のソース線においては、窒化珪素膜343下のゲート線、ゲート電極315と同一層によりソース線の補助配線が形成され、ソース線方向に複数設けられたコンタクトホールにより並列接続されている。ソース線の補助配線は、同一層のゲート線とは分断して設けられている。

【0181】ソース線、ゲート線のいずれの補助配線においても、分断部分は数10μm以上離れていることが好ましい。

【0182】このような構成とすることで、アクティブ

マトリクス部を構成する配線の電気抵抗を大幅に減らすことができ、表示面積が拡大しても、良好な表示を行うことができる。しかも、作製工程は従来と変わらず、マスクパターンの変更のみで実現できる。

【0183】〔実施例4〕本実施例は、実施例1～3で示した構成を逆スタガ型の薄膜トランジスタで構成する。各実施例で示したブレナー型の薄膜トランジスタに変えて、逆スタガ型の薄膜トランジスタとしても、同様の効果を得ることができる。

【0184】なお、逆スタガ型の薄膜トランジスタのゲイト電極として、ゲイト電極に耐熱性の高い材料、例えばリンが多量にドーパされた多結晶シリコンを利用することは、高性能な薄膜トランジスタを得るために有効である。

【0185】

【発明の効果】本発明により、薄膜トランジスタを用いた集積回路、特に周辺回路一体型の液晶表示装置において、数10MHz以上の高い周波数の信号が印加される配線において、信号波形のなまりを著しく低減できた。また、従来の作製工程に比べて工程数を増加させることなく、本発明の構造を得ることができた。

【0186】本発明の半導体装置の構成は、数cm²といった大きな面積を有する基板上に薄膜トランジスタを利用して構成される集積回路における、あらゆる配線に対して適用が可能であり、信号波形のなまりや劣化を防止し、動作速度の向上や、画像表示を行う装置においては画質の向上を図ることができる。

【0187】本明細書で開示した発明は、透過型、反射

型のアクティブマトリクス型の液晶表示装置の、アクティブマトリクス回路と同一基板に形成される周辺回路を構成するのみでなく、他にEL（エレクトロルミネセンス）素子を用いた表示装置、その他薄膜トランジスタを用いた種々の回路にて利用することが可能である。

【図面の簡単な説明】

【図1】 本発明を用いた半導体装置の構成例を示す図。

【図2】 実施例の作製工程を示す図。

【図3】 実施例の作製工程を示す図。

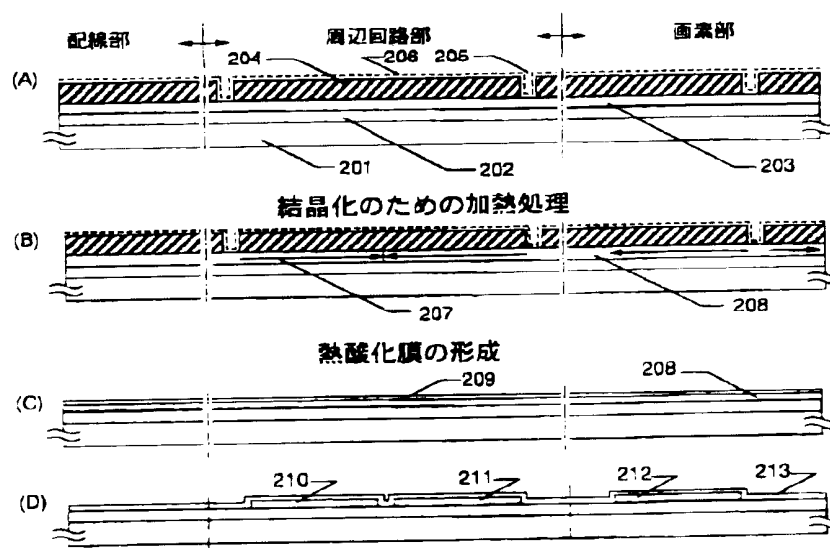
【図4】 実施例の作製工程を示す図。

【図5】 周辺回路一体型のアクティブマトリクス型液晶表示装置の上面図。

【符号の説明】

- 101 基板
- 102 下地膜
- 103 活性層
- 104 ゲイト絶縁膜
- 105 ゲイト電極
- 106 補助電極
- 107 層間絶縁膜
- 108 コンタクトホール
- 109 ソース電極
- 110 ドレイン電極
- 111 配線
- 112 層間絶縁膜
- 113 交差配線

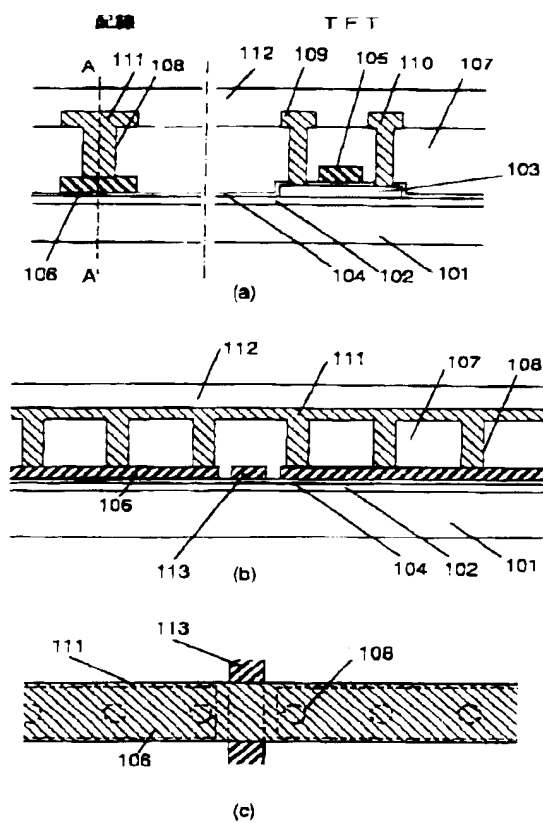
【図2】



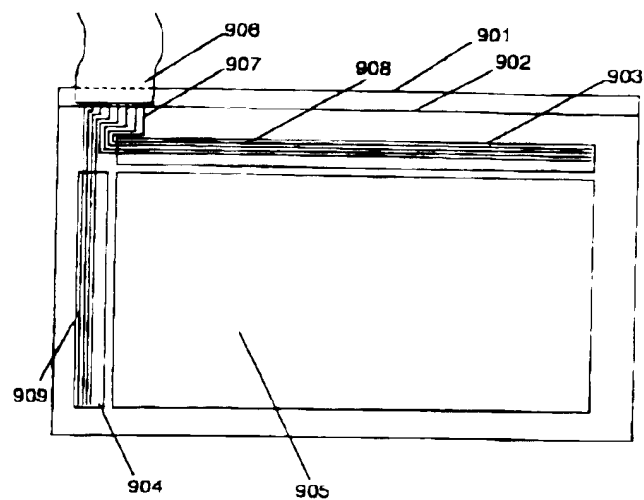
(12)

特開平10-198292

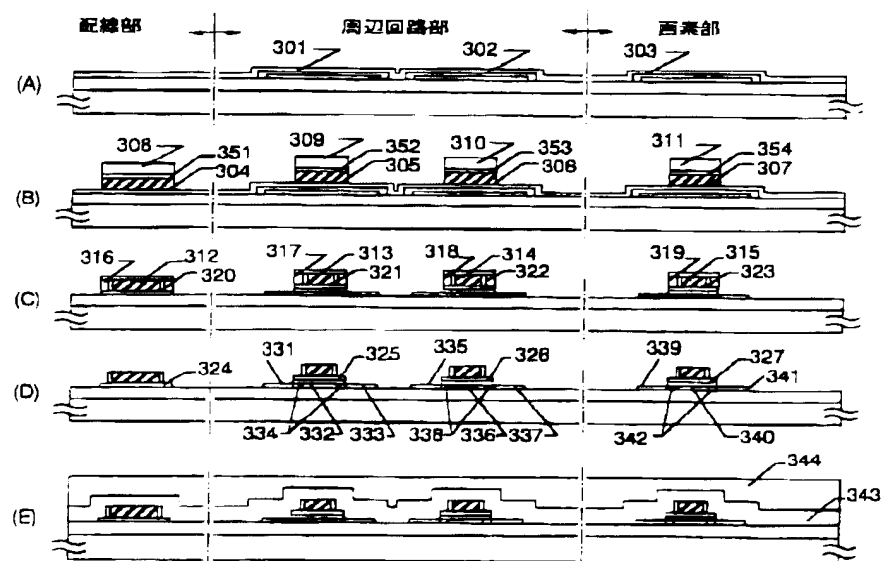
【図1】



【図5】



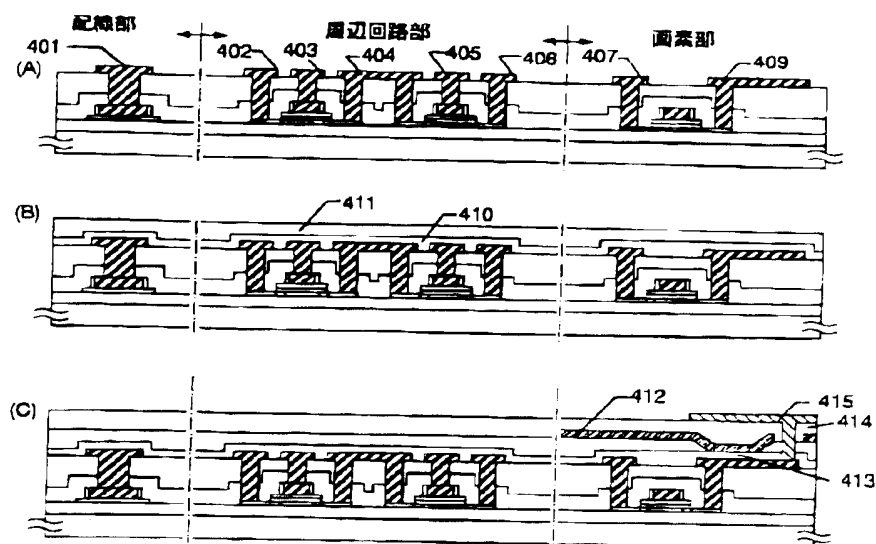
【図3】



(13)

特開平10-198292

【図4】



フロントページの続き

(72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内